

JAPANESE

[JP,2000-299457,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE INVENTION
TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor device characterized by said bidirection diode consisting of P-N junction structure of a P type polish recon layer and a high concentration N type polish recon layer which sandwiches this in a semiconductor device which has a P channel mold power MOS transistor by which a channel is formed in the direction of the depth of flute of voltage impression to a gate electrode prepared in the interior of a slot, and bidirection diode which protects this MOS transistor.

[Claim 2] It is the manufacture method of a semiconductor device according to claim 1 characterized by performing thermal diffusion of said P type impurity ion-implantation layer by thermal diffusion after an ion implantation for said MOS transistor, and performing formation of said high concentration N type polish recon layer by ion implantation for said MOS transistor, and next thermal diffusion while performing formation of a P type impurity ion-implantation layer for said P type polish recon layer independently of an ion implantation for said MOS transistor.

[Claim 3] It is the manufacture method of a semiconductor device according to claim 2 characterized by performing thermal diffusion of said P type impurity ion-implantation layer by thermal diffusion after an ion implantation for base region formation of said MOS transistor, and performing formation of said high concentration N type polish recon layer by ion implantation for contact-breaker-plate field formation of said MOS transistor, and next thermal diffusion while carrying out in the state of a polish recon film before carrying out patterning of the formation of said P type impurity ion-implantation layer to said P type and an N type polish recon layer.

[Claim 4] A semiconductor main part which is characterized by providing the following and which a crevice is formed in the cel section at a U character mold groove and the gate pad section, and includes a low concentration P type drain field common to the cel section and the gate pad section is provided, and it is the cel section. An N type base region established in a field which was included in said semiconductor main part and divided into said U character mold groove by surface layer of said drain field A high concentration P type source field established in a surface layer of this base region Gate oxide prepared in an inside of said U character mold groove A gate electrode which consists of polish recon prepared in said U character mold groove through gate oxide, Provide a source electrode which makes a base metal aluminum which insulated with this gate electrode and interlayer insulation film, and carried out electrical installation to said base region and a source field, and it sets in the gate pad section. Field oxide prepared in said crevice, a gate pad which makes a base metal aluminum prepared through said interlayer insulation film on this field oxide, and a high concentration N type polish recon layer which prepares in the surroundings of this gate pad on said field oxide, and sandwiches a P type polish recon layer and this

[Claim 5] A semiconductor device according to claim 4 characterized by said semiconductor main part being the epitaxial layer formed on a semiconductor substrate.

[Claim 6] A semiconductor device according to claim 5 characterized by said semiconductor substrate being high concentration P type.

[Claim 7] A semiconductor device according to claim 5 characterized by said semiconductor substrate being high concentration N type.

[Claim 8] After forming gate oxide in the exposed surface of a semiconductor main part which is characterized by providing the following, cover with a polish recon film from on that, and patterning of this polish recon film is carried out. The 6th production process which leaves a polish recon film of said a part of source field surface and a U character mold groove, and forms a gate electrode, Cover with an interlayer insulation film from on that after the 6th production process completion, and patterning of this interlayer insulation film is carried out. The 7th production process which exposes the surface of a high concentration N type polish recon layer of the most-inner-circumference section of the surface of said contact-breaker-plate field and a source field, and said polysilicon Fucus-vesiculosus lock, and the outermost periphery, Cover with a metal membrane which makes aluminum a base metal from on that after the 7th production process completion, and patterning of this metal membrane is carried out. A source electrode which carries out electrical installation to said contact-breaker-plate field and a source field, and high concentration N type polish recon layer of said outermost periphery is formed. A manufacture method of a semiconductor device of having the 8th production process which forms in the diode inside on said field insulator layer a gate pad which carries out electrical installation to a high concentration N type polish recon layer of said most-inner-circumference section through said interlayer insulation film The 1st production process which forms an initial crevice in the cel section of the surface of a semiconductor main part which contains a low concentration P-type semiconductor layer used as a drain field in a surface side at an initial slot and the gate pad section The 2nd production process which covers the surface of the semiconductor

main part after configuration deformation of the U character mold groove and first stage crevice was carried out for an initial slot in a crevice from forming a LOCOS oxide film in an inside of a said after [the 1st production process completion] and first stage slot, and first stage crevice with a polish recon film, forms a P type ion-implantation layer in this polish recon film, carries out patterning of this after and polish recon film, and forms a polysilicon Fucus-vesiculosus lock in a periphery on a LOCOS oxide film of said crevice. The 3rd production process which ion-implantation *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. carries out post heating diffusion of the N type impurity for said LOCOS oxide film after the 2nd production process completion at a mask, and forms an N type base region in a field divided into said U character mold groove of a surface layer of said semiconductor layer, carries out thermal diffusion of said P type impurity ion-implantation layer by said thermal diffusion, and uses said polysilicon Fucus-vesiculosus lock as a P type polish recon layer. A resist pattern of said P type polish recon layer to which the most-inner-circumference section and the outermost periphery, and said a part of base region surface were exposed at least is formed after the 3rd production process completion. Ion-implantation *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. carries out post heating diffusion of the high concentration N type impurity for this resist pattern at a mask. Even if said base region surface layer has few high concentration N type contact-breaker-plate fields and said P type polish recon layers, a high concentration N type polish recon layer is formed in the most-inner-circumference section and the outermost periphery. The 4th production process which uses said polysilicon Fucus-vesiculosus lock as bidirection diode, A resist pattern which made a part of surface of said base region and a contact-breaker-plate field and the surface of said diode cover after the 4th production process completion is formed. Later, ion-implantation *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. carries out post heating diffusion of the high concentration P type impurity for this resist pattern and said LOCOS oxide film at a mask. The 5th production process which forms a high concentration P type source field in a surface layer of said base region, the 6th production process which leaves a LOCOS oxide film of said crevice as field oxide while removing a LOCOS oxide film of said U character mold groove after the 5th production process completion, and after the 6th production process completion, a U character mold groove inside

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to a semiconductor device with the P channel mold power MOS transistor of a vertical mold which prepared the gate electrode in the interior of a slot, and the bidirection diode which consists of polish recon which protects this MOS transistor, and its manufacture method about a semiconductor device and its manufacture method.

[0002]

[Description of the Prior Art] The power metal-oxide semiconductor field effect transistor which is this kind of semiconductor device has the common structure where the unit cell by which parallel connection of a large number which have transistor ability was carried out to the cel section of a chip has been arranged, and the bidirection diode for the gate protection which becomes the surroundings of the gate pad for the electrical installation to the exterior from polish recon has been arranged at the gate pad section. As compared with MOSFET of the gate planar mold with which a channel is formed in the channel depth direction of a semiconductor main part, and a channel is formed in the direction of a field of a semiconductor main part, high integration of an unit cell is possible for this MOSFET, the large channel width per unit area can be taken, and it is known that it is very effective in the reduction in the on resistance of an element. Hereafter, the conventional P channel mold power metal-oxide semiconductor field effect transistor is explained with reference to drawing 5.

[0003] P+ which 1 is a semiconductor main part in drawing, and is high concentration P type It prepares on the mold semiconductor substrate 2 and this semiconductor substrate 2, and while the U character mold groove 3 is formed in the surface of the cel section A in the shape of a grid, it has the epitaxial layer 5 by which the crevice 4 was formed in the gate pad section B. First, the cel section A is explained. The gate electrode 7 which consists of polish recon through gate oxide 6 is formed in the interior of the U character mold groove 3 formed in the epitaxial layer 5 surface. An epitaxial layer 5 is P which is the initial layer of an epitaxial layer 5 and is low concentration P type. - N+ prepared in the surface layer of the mold drain field 8, the N type base region 9 established in the field separated by the U character mold groove 3 of this drain field 8 surface layer more shallowly than the U character mold groove 3, and a base region 9 Mold contact-breaker-plate field 9a and P+ The mold source field 10 is included. On the epitaxial layer 5, the interlayer insulation film 11 was formed so that the gate electrode 7 might be covered, and on it, the source electrode 12 which makes a base metal the aluminum which carries out electrical installation to the source field 10 and the contact-breaker-plate field 9a surface by ohmic contact through the contact hole of an interlayer insulation film 11 is formed further. The source electrode 12 is using the part as the source pad for the electrical installation to the exterior.

[0004] Next, the gate pad section B is explained. Field oxide 13 was formed in crevice 4 inside formed in the epitaxial layer 5 surface, and the bidirection diode 14 which becomes a periphery on this field oxide 13 from polish recon is formed. The bidirection diode 14 is P+. Mold polish recon layer 15-N type polish recon layer 16-P+ Mold polish recon layer 15-N type polish recon layer 16-P+ It is constituted by the P-N junction of the mold polish recon layer 15. The cel section A and the common interlayer insulation film 11 are provided on field oxide 13 and the bidirection diode 14 so that this bidirection diode 14 may be covered. On an interlayer insulation film 11, it lets the contact hole of an interlayer insulation film 11 pass, and is P+ of the outermost periphery (drawing 5 right one end) of the bidirection diode 14. P+ of the cel section A which carried out electrical installation to the mold polish recon layer 15, the common source electrode 12, and the most-inner-circumference section (drawing 5 left end side) of the bidirection diode 14 The gate pad 17 for the electrical installation to the exterior which carried out electrical installation to the mold polish recon layer 15 is formed. The gate pad 17 is connected by the gate wiring which is not illustrated to the gate electrode 7.

[0005]

[Problem(s) to be Solved by the Invention] By the way, the bidirection diode 14 of the above-mentioned conventional P channel mold power metal-oxide semiconductor field effect transistor P+/N/P+/N/P+ It is the N type polish recon layer 16 P+ It is considering as the P-N junction structure of the conductivity type inserted in the mold polish recon layer 15. The formation Coincidence formation of the N type polish recon layer 16 is carried out with a base region 9, and it is P+. Since coincidence formation of the mold polish recon layer 15 is carried out with the source field 10, The impurity dose for forming the bidirection diode 14 and the cel section A is independently uncontrollable, respectively. P+ The impurity dose for forming the mold polish recon layer 15 and the N type polish recon layer 16 becomes the same as that of the impurity dose for forming the source field 10 and base region 9 which are determined preferentially. The boron for

forming the source field 10 or the dose of fluoridation boron ion is P+ by which coincidence formation is carried out since it is controlled by about $[5 \times 10^{15} \text{cm}^{-2}]$ two. High impurity concentration of the mold polish recon layer 15 cannot be made sufficiently high. Moreover, P+ Coincidence formation of the polish recon layer 15 is carried out with the source field 10, and since the thermal diffusion time amount after the ion implantation of boron ion or fluoridation boron ion is short, it is P+. The mold polish recon layer 15 cannot be formed sufficiently deeply in a polysilicon Fucus-vesiculosus lock. Therefore, it becomes soft, the dynamic resistance of the bidirection diode 14 becomes large, and the electrostatic-discharge tolerated dose of the P channel mold MOSFET becomes low, and the breakdown voltage wave of the bidirection diode 14 has the problem that fluctuation with the manufacture variation and the product of a breakdown voltage value of the bidirection diode 14 is large. Moreover, it will be P+ even if it can make concentration of the source field 10 still higher. There is a possibility that the boron of a mold polish recon layer may run through a field insulator layer. Moreover, since the high impurity concentration of the N type polish recon layer 16 is independently uncontrollable, there is a problem that the breakdown voltage value of the bidirection diode 14 is uncontrollable to arbitration. Therefore, it was made in order to solve the above-mentioned trouble, and this invention is a P type polish recon layer about the bidirection diode of a P channel mold MOS transistor N+ It considers as the P-N junction structure of the conductivity type inserted in a mold polish recon layer. The breakdown voltage wave of bidirection diode is made into a hard wave by controlling independently control of the high impurity concentration of a P type polish recon layer by another production process with the cel section. It is small in the manufacture variation of the breakdown voltage value of bidirection diode, and product fluctuation, and aims at providing arbitration with a controllable semiconductor device and its manufacture method for a breakdown voltage value.

[0006]

[Means for Solving the Problem] (1) A semiconductor device concerning this invention is characterized by said bidirection diode consisting of P-N junction structure of a P type polish recon layer and a high concentration N type polish recon layer which sandwiches this in a semiconductor device which has a P channel mold power MOS transistor by which a channel is formed in the direction of the depth of flute of voltage impression to a gate electrode prepared in the interior of a slot, and bidirection diode which protects this MOS transistor. Since bidirection diode of polish recon is made into P-N junction structure of a conductivity type whose P type polish recon layer is pinched in a high concentration N type polish recon layer according to the above-mentioned means, a breakdown voltage wave of bidirection diode becomes hard, and dynamic resistance becomes small. Moreover, since high impurity concentration of a high concentration N type polish recon layer is high, a surface layer of a high concentration N type polish recon layer is not influenced to contamination by manufacturing process of an interlayer insulation film.

(2) A manufacture method of a semiconductor device concerning this invention is the manufacture method of a semiconductor device of the above-mentioned (1) term, and while performing formation of a P type impurity ion-implantation layer for said P type polish recon layer independently of an ion implantation for said MOS transistor, it is characterized by to perform thermal diffusion of said P type impurity ion-implantation layer by thermal diffusion after an ion implantation for said MOS transistor, and to perform formation of said high concentration N type polish recon layer by ion implantation for said MOS transistor, and next thermal diffusion. Without newly in addition to an ion implantation for forming a P type polish recon layer adding a production process according to an above-mentioned method, it can carry out so that a dose of an impurity of a P type polish recon layer can be controlled independently of the cel section and high impurity concentration or the diffusion depth of the cel section may not be influenced, and a high concentration N type polish recon layer can be formed in an ion implantation for an MOS transistor, and next thermal diffusion and coincidence at high high impurity concentration.

(3) While performing a manufacture method of a semiconductor device concerning this invention in the above-mentioned (2) term in the state of a polish recon film before carrying out patterning of the formation of said P type impurity ion-implantation layer to said P type and an N type polish recon layer Thermal diffusion of said P type impurity ion-implantation layer is performed by thermal diffusion after an ion implantation for base region formation of said MOS transistor. It is characterized by performing formation of said high concentration N type polish recon layer by ion implantation for contact-breaker-plate field formation of said MOS transistor, and next thermal diffusion.

(4) A semiconductor device concerning this invention possesses a semiconductor main part which a crevice is formed in the cel section at a U character mold groove and the gate pad section, and includes a low concentration P type drain field common to the cel section and the gate pad section, and sets it in the cel section. An N type base region established in a field which was included in said semiconductor main part and divided into said U character mold groove by surface layer of said drain field, A high concentration P type source field established in a surface layer of this base region, and gate oxide prepared in an inside of said U character mold groove, A gate electrode which consists of polish recon prepared in said U character mold groove through gate oxide, Provide a source electrode which makes a base metal aluminum which insulated with this gate electrode and interlayer insulation film, and carried out electrical installation to said base region and a source field, and it sets in the gate pad section. Field oxide prepared in said crevice, and a gate pad which makes a base metal aluminum prepared through said interlayer insulation film on this field oxide, Prepare in the surroundings of this gate pad on said field oxide, and bidirection diode which consists of a P type polish recon layer and a high concentration N type polish recon layer which sandwiches this is provided Electrical installation of said source electrode is carried out to an N type polish recon layer of the outermost periphery among said N type polish recon layers, and electrical installation of said gate pad is carried out to an N type polish recon layer of the most-inner-circumference section.

(5) It is characterized by a semiconductor device concerning this invention being the epitaxial layer by which said semiconductor main part was formed on a semiconductor substrate in the above-mentioned (4) term.

(6) A semiconductor device concerning this invention is characterized by said semiconductor substrate being high concentration P type in the above-mentioned (5) term.

(7) A semiconductor device concerning this invention is characterized by said semiconductor substrate being high concentration N type in the above-mentioned (6) term.

(8) A manufacture method of a semiconductor device concerning this invention The 1st production process which forms an initial crevice in the cel section of the surface of a semiconductor main part which contains a low concentration P-type semiconductor layer used as a drain field in a surface side at an initial slot and the gate pad section, After configuration deformation of a U character mold groove and the initial crevice was carried out for an initial slot in a crevice from forming a LOCOS oxide film in an inside of said initial slot and an initial crevice after the 1st production process completion, The surface of a semiconductor main part is covered with a polish recon film, and a P type ion-implantation layer is formed in this polish recon film. Later, The 2nd production process which carries out patterning of this polish recon film, and forms a polysilicon Fucus-vesiculosus lock in a periphery on a LOCOS oxide film of said crevice, Ion-implantation *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. carries out post heating diffusion of the N type impurity for said LOCOS oxide film after the 2nd production process completion at a mask. The 3rd production process which forms an N type base region in a field divided into said U character mold groove of a surface layer of said semiconductor layer, carries out thermal diffusion of said P type impurity ion-implantation layer by said thermal diffusion, and uses said polysilicon Fucus-vesiculosus lock as a P type polish recon layer, A resist pattern of said P type polish recon layer to which the most-inner-circumference section and the outermost periphery, and said a part of base region surface were exposed at least is formed after the 3rd production process completion. Ion-implantation *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. carries out post heating diffusion of the high concentration N type impurity for this resist pattern at a mask. Even if said base region surface layer has few high concentration N type contact-breaker-plate fields and said P type polish recon layers, a high concentration N type polish recon layer is formed in the most-inner-circumference section and the outermost periphery. The 4th production process which uses said polysilicon Fucus-vesiculosus lock as bidirection diode, A resist pattern which made a part of surface of said base region and a contact-breaker-plate field and the surface of said diode cover after the 4th production process completion is formed. Later, Ion-implantation *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. carries out post heating diffusion of the high concentration P type impurity for this resist pattern and said LOCOS oxide film at a mask. The 5th production process which forms a high concentration P type source field in a surface layer of said base region, The 6th production process which leaves a LOCOS oxide film of said crevice as field oxide while removing a LOCOS oxide film of said U character mold groove after the 5th production process completion, After the 6th production process completion, after forming gate oxide in the exposed surface of a semiconductor main part including a U character mold groove inside, cover with a polish recon film from on that, and patterning of this polish recon film is carried out. The 6th production process which leaves a polish recon film of said a part of source field surface and a U character mold groove, and forms a gate electrode, Cover with an interlayer insulation film from on that after the 6th production process completion, and patterning of this interlayer insulation film is carried out. The 7th production process which exposes the surface of a high concentration N type polish recon layer of the most-inner-circumference section of the surface of said contact-breaker-plate field and a source field, and said polysilicon Fucus-vesiculosus lock, and the outermost periphery, Cover with an aluminum film from on that after the 7th production process completion, and patterning of the metal membrane which makes this aluminum a base metal is carried out. A source electrode which carries out electrical installation to said contact-breaker-plate field and a source field, and a high concentration N type polish recon layer of said outermost periphery is formed. It has the 8th production process which forms in the diode inside on said field insulator layer a gate pad which carries out electrical installation to a high concentration N type polish recon layer of said most-inner-circumference section through said interlayer insulation film.

[0007]

[Embodiment of the Invention] Below, based on this invention, the P channel mold power metal-oxide semiconductor field effect transistor and its manufacture method of one example are explained with reference to drawing 1 thru/or drawing 4 . First, when a configuration is explained, it is P+ which 21 is a semiconductor main part in drawing 1 , and is high concentration P type. It prepares on the mold semiconductor substrate 22 and this semiconductor substrate 22, and while the U character mold groove 23 is formed in the surface of the cel section A in the shape of a grid, it has the epitaxial layer 25 by which the crevice 24 was formed in the gate pad section B. The cel section A is explained. The gate electrode 27 which consists of polish recon through gate oxide 26 is formed in the interior of the U character mold groove 23 formed in the epitaxial layer 25 surface. An epitaxial layer 25 is P which is the initial layer of an epitaxial layer 25 and is low concentration P type. - N+ prepared in the surface layer of the mold drain field 28, the N type base region 29 established in the field separated by the U character mold groove 23 of this drain field 28 surface layer more shallowly than the U character mold groove 23, and a base region 29 Mold contact-breaker-plate field 29a and P+ The mold source field 30 is included. As the superficial structure of each field separated by the U character mold groove 23 of the epitaxial layer 25 surface is shown in drawing 2 , the whole is an abbreviation square, and the source field 30 is quadrisection source field 30a of three square shapes divided into abbreviation 4 non-annular division into equal parts isolated with predetermined constant width, and a base region 29 (contact-breaker-plate field 29a is included) is source division base

region 29b narrow [between quadrisection source field 30a]. On the epitaxial layer 25, the interlayer insulation film 31 was formed so that the gate electrode 27 might be covered, and on it, the source electrode 32 which makes a base metal the aluminum which carries out electrical installation to the source field 30 and the contact-breaker-plate field 29a surface by ohmic contact through the contact hole of an interlayer insulation film 31 is formed further. The source electrode 32 is using the part as the source pad for the electrical installation to the exterior.

[0008] Next, the gate pad section B is explained. Field oxide 33 was formed in crevice 24 inside formed in the epitaxial layer 25 surface, and the bidirection diode 34 which becomes the surroundings of an on [this field oxide 33] from polish recon is formed. The bidirection diode 34 is N+. Mold polish recon layer 35-P type polish recon layer 36-N+ mold polish recon layer 35-P type polish recon layer 36-P+ It is constituted by the P-N junction of the mold polish recon layer 35. The cel section A and the common interlayer insulation film 31 are provided on field oxide 33 and the bidirection diode 34 so that this bidirection diode 34 may be covered. Inside the bidirection diode 34 on field oxide 33, the gate pad 37 for the electrical installation to the exterior is formed through the interlayer insulation film 31. The source electrode 32 is straddling and carrying out electrical installation to N+ mold polish recon layer 35 of the outermost periphery (drawing 1 right one end) of the bidirection diode 34 from the cel section A through the contact hole of an interlayer insulation film 31, and it is N+ of the most-inner-circumference section (drawing 1 left end side) of the bidirection diode 34. The gate pad 37 is straddling and carrying out electrical installation to the mold polish recon layer 35 through the contact hole of an interlayer insulation film 31. The gate pad 37 is connected by the gate wiring which is not illustrated to the gate electrode 27.

[0009] According to the above-mentioned configuration, it is the bidirection diode 34 of polish recon N+/P/N+/P/N+ It is the P type polish recon layer 36 N+ Since it is considering as the conductivity-type structure inserted in the mold polish recon layer 35, and it becomes hard and dynamic resistance becomes small, the electrostatic-discharge tolerated dose of the breakdown voltage wave of the bidirection diode 34 of P channel mold power metal-oxide semiconductor field effect transistor improves. Moreover, N+ Since the high impurity concentration of the mold polish recon layer 35 is high, they are the gate pad 37 and N+. It is N+ also to contamination by the manufacturing process of the interlayer insulation film 31 inserted into the mold polish recon layer 35. The surface layer of the mold polish recon layer 35 is not influenced, the manufacture variation of the breakdown voltage value of the bidirection diode 34 and product fluctuation become small, and the P channel mold power metal-oxide semiconductor field effect transistor which has the reliable bidirection diode 34 with the breakdown voltage value as layout can be manufactured.

[0010] Next, the manufacture method is explained with reference to drawing 3 (a) - (d) and drawing 4 (e) - (h) and drawing 1. First, the 1st production process is P+ which is high concentration P type as a semiconductor main part 21 about the completion back of this production process as shown in drawing 3 (a). P which is a low concentration P-type semiconductor layer on the mold semiconductor substrate 22 - The wafer in which the mold epitaxial layer 25 was formed is prepared. Silicon oxide 53 by the oxidizing thermally] method on the surface of this epitaxial layer 25 for example It forms in about 500A of thickness. Further the silicon nitride 54 with a CVD method on it for example After making it grow up to be about 900A of thickness, a nitride 54, an oxide film 53, and an epitaxial layer 25 are alternatively etched by the photolithography method and the dry cleaning dirty method. While forming the initial slot 55 in the field used as the cel section A in the shape of a grid, the initial crevice 56 is formed in the field used as the gate pad section B. The initial slot 55 and the initial crevice 56 etch the depth for example, by 1.3-micrometer aim, and are formed.

[0011] Next, if the 2nd production process uses after the 1st production process completion and a nitride 54 as a mask for the completion back of this production process as shown in drawing 3 (b), and it oxidizes thermally the inside of the initial slot 55 and the initial crevice 56, for example, the LOCOS oxide film 57 of about 7000A of thickness is formed, configuration deformation of the U character mold groove 23 and the initial crevice 56 will be carried out for the initial slot 55 in a crevice 24. Then, a CVD method covers the surface of a wafer by the polish recon film, the ion implantation of boron ion or the fluoridation boron ion is carried out with about [$4.0 \times 10^{14} \text{cm}^{-2}$] two dose from on this, and the boron ion-implantation layer 58 is formed in the surface. Then, by the photolithography method and the dry cleaning dirty method, on the LOCOS oxide film 57 of the gate pad section B, it leaves a polish recon film and the polysilicon Fucus-vesiculosus lock 59 is formed.

[0012] The 3rd production process removes a nitride 54 and an oxide film 53 for the completion back of this production process completely by the sentiment dirty method after the 2nd production process completion, as shown in drawing 3 (c). The silicon oxide 60 for an ion implantation by the oxidizing [thermally] method next, for example It forms in about 100A of thickness. Later, the LOCOS oxide film 57 -- a mask -- carrying out -- silicon oxide 60 -- minding -- the inside of the surface layer of the cel section A -- alternative -- arsenic ion or phosphorus ion -- for example, about [$3.0 \times 10^{13} \text{cm}^{-2}$] two dose -- an ion implantation -- and thermal diffusion is carried out and the N type base region 29 is formed. Thermal diffusion also of the boron ion-implantation layer 58 is carried out by the thermal diffusion at this time, and the polysilicon Fucus-vesiculosus lock 59 whole serves as the P type polish recon layer 36. Although arsenic ion or phosphorus ion is poured also into the polysilicon Fucus-vesiculosus lock 59 exposed at the time of the ion implantation of arsenic ion or phosphorus ion at coincidence, since there are few doses than the boron ion-implantation layer 58, there is no effect on the P type polish recon layer 36.

[0013] Next, the 4th production process carries out the ion implantation of the completion back of this production process with about [$5.0 \times 10^{15} \text{cm}^{-2}$] two dose alternatively [a mask] to base region 29 surface layer, as shown in drawing 3 (d), after removing a resist pattern 61, it carries out thermal diffusion of the

resist pattern 61 after the 3rd production process completion and in the photolithography method for arsenic ion or phosphorus ion, and it is N+. Mold contact-breaker-plate field 29a is formed. this time -- coincidence -- the P type polish recon layer 36 -- at least -- the most-inner-circumference section and the outermost periphery (at this example, they are the most-inner-circumference section and the outermost periphery, and a center section) -- alternative -- arsenic ion or phosphorus ion -- an ion implantation and thermal diffusion -- carrying out -- N+ The mold polish recon layer 35 is formed. N+ Mold polish recon layer 35-P type polish recon layer 36-N+ Mold polish recon layer 35-P type polish recon layer 36-N+ The bidirection diode 34 which consists of P-N junction of the mold polish recon layer 35 is constituted.

[0014] Next, the 5th production process carries out [the completion back of this production process] the ion implantation of boron ion or the fluoridation boron ion for after the 4th production process completion, the LOCOS oxide film 57, and a resist pattern 62 to a mask with about [$5.0 \times 10^{-5} \text{cm}$ -] two dose alternatively into the surface layer of a base region 29 and base contact field 29a, as shown in drawing 4 (e), it removes a resist pattern 62, and is P+. The mold source field 30 is formed. A field [that it continues being under the epitaxial layer 25 after a base region 29, contact-breaker-plate field 29a, and the source field 30 were formed] is P. - It becomes the mold drain field 28.

[0015] As shown in drawing 4 (f), the 6th production process the completion back of this production process Next, after the 5th production process completion, The mask of the LOCOS oxide film 57 and the bidirection diode 34 in a crevice 24 is carried out with the resist pattern 63 in the photolithography method. By the sentiment dirty method The surface of a base region 29, the source field 30, and base contact field 29a and the inside of a slot 23 are exposed by removing the oxide film 60 on the LOCOS oxide film 57 in the U character mold groove 23, a base region 29, base contact field 29a, and the source field 30. It leaves the LOCOS oxide film 57 formed in the crevice 24 as field oxide 33.

[0016] Next, the 7th production process forms gate oxide 26 in the surface of a base region 29, base contact field 29a, and the source field 30, and the inside of a slot 23 for the completion back of this production process by the oxidizing [thermally] method after the 6th production process completion, as shown in drawing 4 (g). The thickness of gate oxide 26 is formed in about 500Å for example, on the base region 29 of the inside of a slot 23. A CVD method covers the surface of the wafer which passed through the above production process by the polish recon film, by the photolithography method and the dry cleaning dirty method, it leaves a part of source field 30 surface and the polish recon film of a slot 23, and the gate electrode 27 is formed.

[0017] Next, the 8th production process covers the surface of a wafer with an interlayer insulation film 31 - for the completion back of this production process after the 7th production process completion, as shown in drawing 4 (h), it etches a resist pattern into a mask for this interlayer insulation film 31 and oxide film 26, and exposes the N+ mold polish recon layer 35 surface of the most-inner-circumference section of the source field 30 and contact-breaker-plate field 29a, and the bidirection diode 34, and the outermost periphery. And the resist pattern used at this time is removed.

[0018] Next, the 9th production process covers the completion back of this production process with the metal membrane which makes aluminum a base metal for the surface of a wafer after the 8th production process completion, as shown in drawing 1 , and etching removes a garbage for a resist pattern on a mask. The source field 30 and contact-breaker-plate field 29a to which the surface was exposed ranging over the gate pad section B top from on the cel section A, and N+ of the outermost periphery (drawing 1 right one end) of the bidirection diode 34 The source electrode 32 which carried out electrical installation to the mold polish recon layer 35 is formed. N+ by which the surface of the most-inner-circumference section (drawing 1 left end side) of the bidirection diode 42 was exposed through the interlayer insulation film 31 in the gate pad section B on the field oxide 33 inside the bidirection diode 42 The gate pad 37 which carried out electrical installation to the mold polish recon layer 35 is formed. The source electrode 32 is using the part as the source pad for the electrical installation to the exterior. The gate pad 47 is electrically connected to the gate electrode 27 through the gate wiring which is not illustrated.

[0019] According to the method explained above, it is the bidirection diode 34 of polish recon N+/P/N+/P/N+ It is the P type polish recon layer 36 N+ When forming as P-N junction structure of the conductivity type inserted in the mold polish recon layer 35, The ion implantation for forming the P type polish recon layer 36 is performed before forming the polysilicon Fucus-vesiculosus lock 59 after covering for the wafer surface by the polish recon film. And by performing thermal diffusion after the ion implantation for forming the P type polish recon layer 36 to the thermal diffusion and coincidence after the ion implantation for forming a base region 29 Without newly in addition to the ion implantation for forming the P type polish recon layer 36 adding a production process The dose of the impurity of the P type polish recon layer 36 is controllable to arbitration independently of the cel section A. And the diffusion depth of the P type polish recon layer 36 can be made sufficiently deep, without influencing the high impurity concentration and the diffusion depth of the cel section A. Furthermore, it is N+. The ion implantation and thermal diffusion for forming the mold polish recon layer 35 are N+, without newly adding a production process by carrying out to the ion implantation and thermal diffusion, and coincidence for forming contact-breaker-plate field 29a. The mold polish recon layer 35 can be formed in high high impurity concentration. Therefore, a breakdown voltage wave is hard, it is stabilized and the P channel mold power metal-oxide semiconductor field effect transistor which has the manufacture variation of a breakdown voltage value and the small bidirection diode 34 of production process fluctuation can be manufactured. Moreover, the breakdown voltage value of bidirection diode can be set as arbitration by controlling the high impurity concentration of the P channel mold polish recon layer 36.

[0020] It sets in the above-mentioned example and is bidirection diode N+/P/N+/P/N+ Although conductivity-type P-N junction structure explained, the number of stages of P-N junction may be fluctuated with the breakdown voltage value demanded. Moreover, although the source which shows the superficial structure on the surface of an epitaxial layer of the cel section A to drawing 2 is the thing of an un-annular pattern and being explained, you may be other un-annular patterns and the annular pattern with which a source field encloses a base region, without being limited to this. Moreover, although it was formed in the shape of a grid and the U character mold groove was explained, it may be formed in the shape of a stripe. Moreover, although power metal-oxide semiconductor field effect transistor explained the P channel mold power MOS transistor, you may be the conductivity modulation mold MOSFET. In this case, let a semiconductor substrate be high concentration N type. Moreover, although the epitaxial layer was grown up and the semiconductor main part was explained on the semiconductor substrate, you may constitute only from a semiconductor substrate. Moreover, a P channel mold power MOS transistor may be contained in a semiconductor integrated circuit.

[0021]

[Effect of the Invention] Since bidirection diode of polish recon is made into the P-N junction structure of the conductivity type whose P type polish recon layer is pinched in the N type polish recon layer of high high impurity concentration according to the semiconductor device concerning this invention, it becomes hard and dynamic resistance becomes small, the electrostatic-discharge tolerated dose of the breakdown voltage wave of bidirection diode of a P channel mold power MOS transistor improves. Moreover, since the high impurity concentration of an N type polish recon layer is high, by not influencing the surface layer of an N type polish recon layer to contamination by the manufacturing process of an interlayer insulation film, the manufacture variation of the breakdown voltage value of bidirection diode and product fluctuation can become small, and a reliable semiconductor device can be offered, and the manufacture yield can be raised. Moreover, when forming the bidirection diode of polish recon as conductivity-type structure whose P type polish recon layer is pinched in the N type polish recon layer of high high impurity concentration according to the method of this invention, The ion implantation for forming a P type polish recon layer is performed before forming the polysilicon Fucus-vesiculosus lock after covering for the wafer surface by the polish recon film. And thermal diffusion after the ion implantation for forming a P type polish recon layer is performed to the thermal diffusion and coincidence after the ion implantation for forming a base region. By carrying out to the ion implantation and thermal diffusion, and coincidence for forming a contact-breaker-plate field, the ion implantation and thermal diffusion for forming an N type polish recon layer Without newly in addition to the ion implantation for forming a P type polish recon layer adding a production process The dose of the impurity of a P type polish recon layer is controllable independently of the cel section. And it can carry out so that the high impurity concentration or the diffusion depth of the cel section may not be influenced, and an N type polish recon layer can be formed in a contact-breaker-plate field and coincidence at high high impurity concentration. A breakdown voltage wave is hard, it is stabilized and the semiconductor device which has the manufacture variation of a breakdown voltage value and the small bidirection diode of production process fluctuation can be manufactured. Moreover, the breakdown voltage value of bidirection diode can be set as arbitration by controlling the high impurity concentration of a P type polish recon layer besides fluctuating the number of stages of diode.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The important section cross section of the P channel mold power metal-oxide semiconductor field effect transistor which is one example of this invention.

[Drawing 2] Pattern drawing of one example showing the plane pattern for one cel of the surface of a semiconductor main part separated by the U character mold groove of the P channel mold power metal-oxide semiconductor field effect transistor of drawing 1.

[Drawing 3] The important section cross section showing the manufacturing process (the 1st - the 4th production process) of the P channel mold power metal-oxide semiconductor field effect transistor of drawing 1.

[Drawing 4] The important section cross section showing the manufacturing process (the 5th - the 8th production process) of the P channel mold power metal-oxide semiconductor field effect transistor of drawing 1.

[Drawing 5] The important section cross section of the conventional P channel mold power metal-oxide semiconductor field effect transistor.

[Description of Notations]

- 21 Semiconductor Main Part
- 22 Semiconductor Substrate
- 23 U Character Mold Groove
- 24 Crevice
- 25 Epitaxial Layer
- 26 Gate Oxide
- 27 Gate Electrode
- 28 Drain Field
- 29 Base Region
- 29a Contact-breaker-plate field
- 30 Source Field
- 31 Interlayer Insulation Film
- 32 Source Electrode
- 33 Field Oxide
- 34 Bidirection Diode
- 35 N+ Mold Polish Recon Layer
- 36 P Type Polish Recon Layer
- 37 Gate Pad
- 53 Silicon Oxide
- 54 Nitride
- 55 Initial Slot
- 56 Initial Crevice
- 57 LOCOS Oxide Film
- 58 Boron Ion-Implantation Layer
- 59 Polysilicon Fucus-Vesiculosus Lock
- 60 Silicon Oxide
- 61, 62, 63 Resist pattern

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-299457
(P2000-299457A)

(43) 公開日 平成12年10月24日 (2000. 10. 24)

(51) Int.Cl.⁷

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

テームト* (参考)

6 5 7 A

6 5 3 A

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平11-105126

(22) 出願日 平成11年4月13日 (1999. 4. 13)

(71) 出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72) 発明者 山口 和己

滋賀県大津市晴嵐2丁目9番1号 関西日

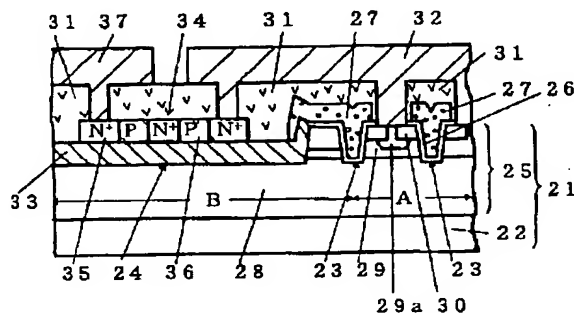
本電気株式会社内

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 降伏電圧波形がハードで降伏電圧値の製造バラツキおよび製品変動が小さい双方向性ダイオードを有する半導体装置及びその製造方法を提供する。

【解決手段】 ゲート電極27を溝23内部に設けたPチャネル型パワーMOSFETの双方向性ダイオード34はP型ポリシリコン層36をN+型ポリシリコン層35で挟む導電型のP-N接合構造としている。P型ポリシリコン層36を形成するためのイオン注入はウェーハ表面をポリシリコン膜で被覆後ポリシリコンブロックを形成する前に行い、かつ、P型ポリシリコン層36を形成するためのイオン注入後の熱拡散はベース領域29を形成するためのイオン注入後の熱拡散と同時に行い、更にN+型ポリシリコン層35を形成するためのイオン注入及び熱拡散はコンタクトベース領域29aを形成するためのイオン注入及び熱拡散と同時に行う。



【特許請求の範囲】

【請求項1】溝内部に設けたゲート電極への電圧印加により溝の深さ方向にチャネルが形成されるPチャネル型パワーMOSトランジスタと、このMOSトランジスタを保護する双方向性ダイオードとを有する半導体装置において、

前記双方向性ダイオードがP型ポリシリコン層とこれを挟む高濃度N型ポリシリコン層とのP-N接合構造からなることを特徴とする半導体装置。

【請求項2】前記P型ポリシリコン層のためのP型不純物イオン注入層の形成は前記MOSトランジスタのためのイオン注入とは独立に行うとともに、前記P型不純物イオン注入層の熱拡散は前記MOSトランジスタのためのイオン注入後の熱拡散で行ない、前記高濃度N型ポリシリコン層の形成は前記MOSトランジスタのためのイオン注入およびこの後の熱拡散で行なうことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記P型不純物イオン注入層の形成を前記P型およびN型ポリシリコン層にパターンニングする前のポリシリコン膜の状態で行なうとともに、前記P型不純物イオン注入層の熱拡散を前記MOSトランジスタのベース領域形成のためのイオン注入後の熱拡散で行ない、前記高濃度N型ポリシリコン層の形成は前記MOSトランジスタのコンタクトベース領域形成のためのイオン注入およびこの後の熱拡散で行なうことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】セル部にU字型溝およびゲートパッド部に凹部が形成されセル部およびゲートパッド部に共通の低濃度P型ドレイン領域を含む半導体本体を具備し、セル部において、前記半導体本体に含まれ前記ドレイン領域の表面層で前記U字型溝に分離された領域に設けたN型ベース領域と、このベース領域の表面層に設けた高濃度P型ソース領域と、前記U字型溝の内面に設けたゲート酸化膜と、前記U字型溝にゲート酸化膜を介して設けたポリシリコンからなるゲート電極と、このゲート電極と層間絶縁膜で絶縁し前記ベース領域およびソース領域に電気的接続したアルミニウムを主金属とするソース電極とを具備し、

ゲートパッド部において、前記凹部に設けたフィールド酸化膜と、このフィールド酸化膜上に前記層間絶縁膜を介して設けたアルミニウムを主金属とするゲートパッドと、前記フィールド酸化膜上でこのゲートパッドの周りに設け、P型ポリシリコン層とこれを挟む高濃度N型ポリシリコン層とからなる双方向性ダイオードとを具備し、前記N型ポリシリコン層のうち、最外周部のN型ポリシリコン層に前記ソース電極を電気的接続し、最内周部のN型ポリシリコン層に前記ゲートパッドを電気的接続した半導体装置。

【請求項5】前記半導体本体が半導体基板上に形成され

たエビタキシャル層であることを特徴とする請求項4記載の半導体装置。

【請求項6】前記半導体基板が高濃度P型であることを特徴とする請求項5記載の半導体装置。

【請求項7】前記半導体基板が高濃度N型であることを特徴とする請求項5記載の半導体装置。

【請求項8】ドレイン領域となる低濃度P型半導体層を表面側を含む半導体本体表面のセル部に初期溝とゲートパッド部に初期凹部とを形成する第1工程と、

第1工程完了後、前記初期溝および初期凹部の内面にLOCOS酸化膜を形成することより初期溝がU字型溝および初期凹部が凹部に形状変形された後、半導体本体表面をポリシリコン膜で被覆し、このポリシリコン膜にP型イオン注入層を形成して後、このポリシリコン膜をパターンニングして前記凹部のLOCOS酸化膜上の外周にポリシリコンブロックを形成する第2工程と、

第2工程完了後、前記LOCOS酸化膜をマスクにN型不純物をイオン注入しその後熱拡散して、前記半導体層の表面層の前記U字型溝に分離された領域にN型ベース領域を形成し、前記熱拡散により前記P型不純物イオン注入層を熱拡散して前記ポリシリコンブロックをP型ポリシリコン層とする第3工程と、

第3工程完了後、前記P型ポリシリコン層の少なくとも最内周部および最外周部と前記ベース領域表面の一部とを露出させたレジストパターンを形成し、このレジストパターンをマスクに高濃度N型不純物をイオン注入しその後熱拡散して、前記ベース領域表面層に高濃度N型コンタクトベース領域と前記P型ポリシリコン層の少なくとも最内周部および最外周部に高濃度N型ポリシリコン層とを形成し、前記ポリシリコンブロックを双方向性ダイオードとする第4工程と、

第4工程完了後、前記ベース領域およびコンタクトベース領域の表面の一部と前記ダイオードの表面を被覆させたレジストパターンを形成して後、このレジストパターンと前記LOCOS酸化膜とをマスクに高濃度P型不純物をイオン注入しその後熱拡散して、前記ベース領域の表面層に高濃度P型ソース領域を形成する第5工程と、第5工程完了後、前記U字型溝のLOCOS酸化膜を除去するとともに前記凹部のLOCOS酸化膜をフィールド酸化膜として残す第6工程と、

第6工程完了後、U字型溝内面を含む露出した半導体本体表面にゲート酸化膜を形成した後、その上からポリシリコン膜で被覆し、このポリシリコン膜をパターンニングして、前記ソース領域表面の一部およびU字型溝のポリシリコン膜を残してゲート電極を形成する第6工程と、第6工程完了後、その上から層間絶縁膜で被覆し、この層間絶縁膜をパターンニングして、前記コンタクトベース領域およびソース領域の表面と前記ポリシリコンブロックの最内周部および最外周部の高濃度N型ポリシリコン層の表面とを露出する第7工程と、

第7工程完了後、その上からアルミニウムを主金属とする金属膜で被覆し、この金属膜をパターニングして、前記コンタクトベース領域およびソース領域と前記最外周部の高濃度N型ポリシリコン層とに電気的接続するソース電極を形成し、前記最内周部の高濃度N型ポリシリコン層に電気的接続するゲートパッドを前記フィールド絶縁膜上のダイオード内側に前記層間絶縁膜を介して形成する第8工程とを有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、ゲート電極を溝内部に設けた縦型のPチャネル型パワーMOSトランジスタと、このMOSトランジスタを保護するポリシリコンからなる双方向性ダイオードとを有した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】この種の半導体装置であるパワーMOSFETは、チップのセル部にトランジスタ機能を有する多数の並列接続されたユニットセルが配置され、ゲートパッド部には外部への電気的接続のためのゲートパッドの周りにポリシリコンからなるゲート保護のための双方向性ダイオードが配置された構造が一般的である。このMOSFETはチャンネルが半導体本体の溝深さ方向に形成され、チャンネルが半導体本体の面方向に形成されるゲートプレーナ型のMOSFETに比較してユニットセルの高集積化が可能であり、単位面積あたりのチャンネル幅を大きくとれ、素子の低オン抵抗化に非常に有効であることが知られている。以下、従来のPチャネル型パワーMOSFETについて、図5を参照して説明する。

【0003】図において1は半導体本体で、高濃度P型であるP+型半導体基板2と、この半導体基板2上に設け、セル部Aの表面にU字型溝3が格子状に形成されると共にゲートパッド部Bに凹部4が形成されたエピタキシャル層5とを有している。まず、セル部Aについて説明する。エピタキシャル層5表面に形成されたU字型溝3の内部にゲート酸化膜6を介してポリシリコンからなるゲート電極7が形成されている。エピタキシャル層5はエピタキシャル層5の初期層であり低濃度P型であるP-型ドレイン領域8と、このドレイン領域8表面層のU字型溝3により分離された領域にU字型溝3より浅く設けたN型ベース領域9と、ベース領域9の表面層に設けたN+型コンタクトベース領域9aおよびP+型ソース領域10とを含んでいる。エピタキシャル層5上にはゲート電極7を被覆するように層間絶縁膜11を設け、更にその上には層間絶縁膜11のコンタクトホールを通してソース領域10およびコンタクトベース領域9a表面とオーミック接触により電気的接続するアルミニウムを主金属とするソース電極12を設けている。ソース電極12はその一部を外部への電気的接続のためのソース

パッドとしている。

【0004】次に、ゲートパッド部Bについて説明する。エピタキシャル層5表面に形成された凹部4内面にフィールド酸化膜13を設け、このフィールド酸化膜13上の外周にポリシリコンからなる双方向性ダイオード14を設けている。双方向性ダイオード14はP+型ポリシリコン層15-N型ポリシリコン層16-P+型ポリシリコン層15-N型ポリシリコン層16-P+型ポリシリコン層15のP-N接合により構成されている。この双方向性ダイオード14を被覆するようにフィールド酸化膜13および双方向性ダイオード14上にセル部Aと共通の層間絶縁膜11を設けている。層間絶縁膜11上には層間絶縁膜11のコンタクトホールを通して双方向性ダイオード14の最外周部（図5では右端側）のP+型ポリシリコン層15と電気的接続したセル部Aと共通のソース電極12と、双方向性ダイオード14の最内周部（図5では左端側）のP+型ポリシリコン層15と電気的接続した外部への電気的接続のためのゲートパッド17を設けている。ゲートパッド17はゲート電極7に図示しないゲート配線により接続されている。

【0005】

【発明が解決しようとする課題】ところで、上記の従来のPチャネル型パワーMOSFETの双方向性ダイオード14は、P+/N/P+/N/P+とN型ポリシリコン層16をP+型ポリシリコン層15で挟む導電型のP-N接合構造としており、その形成は、N型ポリシリコン層16をベース領域9と同時に形成し、P+型ポリシリコン層15をソース領域10と同時に形成しているため、双方向性ダイオード14及びセル部Aを形成するための不純物ドーザ量をそれぞれ独立に制御することができず、P+型ポリシリコン層15及びN型ポリシリコン層16を形成するための不純物ドーザ量は優先的に決定されるソース領域10及びベース領域9を形成するための不純物ドーザ量と同一となる。ソース領域10を形成するためのホウ素又は弗化ホウ素イオンのドーザ量は $5 \times 10^{16} \text{ cm}^{-2}$ 程度に制御されるため同時形成されるP+型ポリシリコン層15の不純物濃度を十分高くすることができない。またP+ポリシリコン層15をソース領域10と同時に形成しており、ホウ素イオン又は弗化ホウ素イオンのイオン注入後の熱拡散時間が短いため、P+型ポリシリコン層15をポリシリコンブロック内に十分深く形成することができない。そのため、双方向性ダイオード14の降伏電圧波形はソフトとなり、双方向性ダイオード14の動作抵抗が大きくなって、Pチャネル型MOSFETの静電破壊耐量が低くなり、また双方向性ダイオード14の降伏電圧値の製造バラツキ及び製品での変動が大きいという問題がある。また仮にソース領域10の濃度を更に高くできたとしても、P+型ポリシリコン層のホウ素がフィールド絶縁膜を突き抜ける虞がある。また、N型ポリシリコン層16の不純物濃度を単

独に制御できないため、双方向性ダイオード14の降伏電圧値を任意に制御できないという問題がある。従って、本発明は上記の問題点を解決するためになされたもので、Pチャネル型MOSトランジスタの双方向性ダイオードをP型ポリシリコン層をN+型ポリシリコン層で挟む導電型のP-N接合構造とし、P型ポリシリコン層の不純物濃度の制御をセル部とは別工程で単独に制御することにより双方向性ダイオードの降伏電圧波形をハード波形とし、双方向性ダイオードの降伏電圧値の製造バラツキ及び製品変動を小さく、かつ降伏電圧値を任意に制御可能な半導体装置及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】(1)本発明に係る半導体装置は、溝内部に設けたゲート電極への電圧印加により溝の深さ方向にチャネルが形成されるPチャネル型パワーMOSトランジスタと、このMOSトランジスタを保護する双方向性ダイオードとを有する半導体装置において、前記双方向性ダイオードがP型ポリシリコン層とこれを挟む高濃度N型ポリシリコン層とのP-N接合構造からなることを特徴とする。上記手段によれば、ポリシリコンの双方向性ダイオードをP型ポリシリコン層を高濃度N型ポリシリコン層で挟む導電型のP-N接合構造としているので、双方向性ダイオードの降伏電圧波形はハードとなり、動作抵抗が小さくなる。また高濃度N型ポリシリコン層の不純物濃度が高いため、層間絶縁膜の製造工程での汚染に対しても高濃度N型ポリシリコン層の表面層は影響されることはない。

(2)本発明に係る半導体装置の製造方法は上記(1)項の半導体装置の製造方法であって、前記P型ポリシリコン層のためのP型不純物イオン注入層の形成は前記MOSトランジスタのためのイオン注入とは独立に行うとともに、前記P型不純物イオン注入層の熱拡散は前記MOSトランジスタのためのイオン注入後の熱拡散で行ない、前記高濃度N型ポリシリコン層の形成は前記MOSトランジスタのためのイオン注入およびこの後の熱拡散で行なうことを特徴とする。上記方法によれば、P型ポリシリコン層を形成するためのイオン注入以外に新たに工程を追加することなく、P型ポリシリコン層の不純物のドーザ量の制御をセル部とは独立に行え、かつ、セル部の不純物濃度や拡散深さに影響しないように行え、高濃度N型ポリシリコン層はMOSトランジスタのためのイオン注入およびこの後の熱拡散と同時に高不純物濃度に形成できる。

(3)本発明に係る半導体装置の製造方法は上記(2)項において、前記P型不純物イオン注入層の形成を前記P型およびN型ポリシリコン層にパターンニングする前のポリシリコン膜の状態で行なうとともに、前記P型不純物イオン注入層の熱拡散を前記MOSトランジスタのベース領域形成のためのイオン注入後の熱拡散で行ない、

前記高濃度N型ポリシリコン層の形成は前記MOSトランジスタのコンタクトベース領域形成のためのイオン注入およびこの後の熱拡散で行なうことを特徴とする。

(4)本発明に係る半導体装置は、セル部にU字型溝およびゲートパッド部に凹部が形成されセル部およびゲートパッド部に共通の低濃度P型ドレイン領域を含む半導体本体を具備し、セル部において、前記半導体本体に含まれ前記ドレイン領域の表面層で前記U字型溝に分離された領域に設けたN型ベース領域と、このベース領域の表面層に設けた高濃度P型ソース領域と、前記U字型溝の内面に設けたゲート酸化膜と、前記U字型溝にゲート酸化膜を介して設けたポリシリコンからなるゲート電極と、このゲート電極と層間絶縁膜で絶縁し前記ベース領域およびソース領域に電氣的接続したアルミニウムを主金属とするソース電極とを具備し、ゲートパッド部において、前記凹部に設けたフィールド酸化膜と、このフィールド酸化膜上に前記層間絶縁膜を介して設けたアルミニウムを主金属とするゲートパッドと、前記フィールド酸化膜上でこのゲートパッドの周りに設け、P型ポリシリコン層とこれを挟む高濃度N型ポリシリコン層とからなる双方向性ダイオードとを具備し、前記N型ポリシリコン層のうち、最外周部のN型ポリシリコン層に前記ソース電極を電氣的接続し、最内周部のN型ポリシリコン層に前記ゲートパッドを電氣的接続している。

(5)本発明に係る半導体装置は上記(4)項において、前記半導体本体が半導体基板上に形成されたエピタキシャル層であることを特徴とする。

(6)本発明に係る半導体装置は上記(5)項において、前記半導体基板が高濃度P型であることを特徴とする。

(7)本発明に係る半導体装置は上記(6)項において、前記半導体基板が高濃度N型であることを特徴とする。

(8)本発明に係る半導体装置の製造方法は、ドレイン領域となる低濃度P型半導体層を表面側に含む半導体本体表面のセル部に初期溝とゲートパッド部に初期凹部とを形成する第1工程と、第1工程完了後、前記初期溝および初期凹部の内面にLOCOS酸化膜を形成することにより初期溝がU字型溝および初期凹部が凹部に形状変形された後、半導体本体表面をポリシリコン膜で被覆し、このポリシリコン膜にP型イオン注入層を形成して後、このポリシリコン膜をパターンニングして前記凹部のLOCOS酸化膜上の外周にポリシリコンブロックを形成する第2工程と、第2工程完了後、前記LOCOS酸化膜をマスクにN型不純物をイオン注入しその後熱拡散して、前記半導体層の表面層の前記U字型溝に分離された領域にN型ベース領域を形成し、前記熱拡散により前記P型不純物イオン注入層を熱拡散して前記ポリシリコンブロックをP型ポリシリコン層とする第3工程と、第3工程完了後、前記P型ポリシリコン層の少なくとも最内

周部および最外周部と前記ベース領域表面の一部とを露出させたレジストパターンを形成し、このレジストパターンをマスクに高濃度N型不純物をイオン注入しその後熱拡散して、前記ベース領域表面層に高濃度N型コンタクトベース領域と前記P型ポリシリコン層の少なくとも最内周部および最外周部に高濃度N型ポリシリコン層とを形成し、前記ポリシリコンブロックを双方向性ダイオードとする第4工程と、第4工程完了後、前記ベース領域およびコンタクトベース領域の表面の一部と前記ダイオードの表面を被覆させたレジストパターンを形成して後、このレジストパターンと前記LOCOS酸化膜とをマスクに高濃度P型不純物をイオン注入しその後熱拡散して、前記ベース領域の表面層に高濃度P型ソース領域を形成する第5工程と、第5工程完了後、前記U字型溝のLOCOS酸化膜を除去するとともに前記凹部のLOCOS酸化膜をフィールド酸化膜として残す第6工程と、第6工程完了後、U字型溝内面を含む露出した半導体本体表面にゲート酸化膜を形成した後、その上からポリシリコン膜で被覆し、このポリシリコン膜をパターンニングして、前記ソース領域表面の一部およびU字型溝のポリシリコン膜を残してゲート電極を形成する第6工程と、第6工程完了後、その上から層間絶縁膜で被覆し、この層間絶縁膜をパターンニングして、前記コンタクトベース領域およびソース領域の表面と前記ポリシリコンブロックの最内周部および最外周部の高濃度N型ポリシリコン層の表面とを露出する第7工程と、第7工程完了後、その上からアルミニウム膜で被覆し、このアルミニウムを主金属とする金属膜をパターンニングして、前記コンタクトベース領域およびソース領域と前記最外周部の高濃度N型ポリシリコン層とに電氣的接続するソース電極を形成し、前記最内周部の高濃度N型ポリシリコン層に電氣的接続するゲートパッドを前記フィールド絶縁膜上のダイオード内側に前記層間絶縁膜を介して形成する第8工程とを有する。

【0007】

【発明の実施の形態】以下に、本発明に基づき1実施例のPチャネル型パワーMOSFETおよびその製造方法を図1乃至図4を参照して説明する。まず、構成を説明すると、図1において、21は半導体本体で、高濃度P型であるP+型半導体基板22と、この半導体基板22上に設け、セル部Aの表面にU字型溝23が格子状に形成されると共にゲートパッド部Bに凹部24が形成されたエピタキシャル層25とを有している。セル部Aについて説明する。エピタキシャル層25表面に形成されたU字型溝23の内部にゲート酸化膜26を介してポリシリコンからなるゲート電極27が形成されている。エピタキシャル層25はエピタキシャル層25の初期層であり低濃度P型であるP-型ドレイン領域28と、このドレイン領域28表面層のU字型溝23により分離された領域にU字型溝23より浅く設けたN型ベース領域29

と、ベース領域29の表面層に設けたN+型コンタクトベース領域29aおよびP+型ソース領域30とを含んでいる。エピタキシャル層25表面のU字型溝23により分離された各領域の平面的な構造は図2に示すように、ソース領域30は全体が略正方形であり、且つ、所定の一定幅で離隔した非環状の略4等分に分割された3角形の4分割ソース領域30aであり、ベース領域29（コンタクトベース領域29aを含む）は4分割ソース領域30a間の幅狭なソース分割ベース領域29bである。エピタキシャル層25上にはゲート電極27を被覆するように層間絶縁膜31を設け、更にその上には層間絶縁膜31のコンタクトホールを通してソース領域30およびコンタクトベース領域29a表面とオーミック接触により電氣的接続するアルミニウムを主金属とするソース電極32を設けている。ソース電極32はその一部を外部への電氣的接続のためのソースパッドとしている。

【0008】次に、ゲートパッド部Bについて説明する。エピタキシャル層25表面に形成された凹部24内面にフィールド酸化膜33を設け、このフィールド酸化膜33上の周りにポリシリコンからなる双方向性ダイオード34を設けている。双方向性ダイオード34はN+型ポリシリコン層35-P型ポリシリコン層36-N+型ポリシリコン層35-P型ポリシリコン層36-P+型ポリシリコン層35のP-N接合により構成されている。この双方向性ダイオード34を被覆するようにフィールド酸化膜33および双方向性ダイオード34上にセル部Aと共通の層間絶縁膜31を設けている。フィールド酸化膜33上の双方向性ダイオード34の内側には層間絶縁膜31を介して外部への電氣的接続のためのゲートパッド37を設けている。双方向性ダイオード34の最外周部（図1では右端側）のN+型ポリシリコン層35には層間絶縁膜31のコンタクトホールを通してセル部Aからソース電極32が跨り電氣的接続しており、双方向性ダイオード34の最内周部（図1では左端側）のN+型ポリシリコン層35には層間絶縁膜31のコンタクトホールを通してゲートパッド37が跨り電氣的接続している。ゲートパッド37はゲート電極27に図示しないゲート配線により接続されている。

【0009】上記構成によれば、ポリシリコンの双方向性ダイオード34をN+/P/N+/P/N+とP型ポリシリコン層36をN+型ポリシリコン層35で挟む導電型構造としているので、双方向性ダイオード34の降伏電圧波形はハードとなり、動作抵抗が小さくなるためPチャネル型パワーMOSFETの静電破壊耐量が向上する。またN+型ポリシリコン層35の不純物濃度が高いため、ゲートパッド37とN+型ポリシリコン層35に挟まれた層間絶縁膜31の製造工程での汚染に対してもN+型ポリシリコン層35の表面層は影響されることはなく、双方向性ダイオード34の降伏電圧値の製造バ

ラツキ及び製品変動は小さくなり、設計どおりの降伏電圧値で信頼性の高い双方向性ダイオード34を有するPチャネル型パワーMOSFETを製造できる。

【0010】次に製造方法を図3(a)～(d)、図4(e)～(h)および図1を参照して説明する。先ず、第1工程はこの工程の完了後を図3(a)に示すように、半導体本体21として高濃度P型であるP+型半導体基板22上に低濃度P型半導体層であるP-型エピタキシャル層25を形成したウェーハを準備し、このエピタキシャル層25の表面に熱酸化法によりシリコン酸化膜53を例えば、膜厚500オングストローム程度に形成し、更にその上にシリコン窒化膜54をCVD法により例えば、膜厚900オングストローム程度に成長させた後、フォトリソグラフィ法およびドライエッチ法により選択的に窒化膜54、酸化膜53およびエピタキシャル層25をエッチングして、セル部Aとなる領域に初期溝55を格子状に形成すると共に、ゲートパッド部Bとなる領域に初期凹部56を形成する。初期溝55および初期凹部56は深さを例えば、1.3μmねらいでエッチングして形成される。

【0011】次に、第2工程はこの工程の完了後を図3(b)に示すように、第1工程完了後、窒化膜54をマスクとして初期溝55および初期凹部56の内面を熱酸化して例えば、膜厚7000オングストローム程度のLOCOS酸化膜57を形成すると、初期溝55がU字型溝23、および、初期凹部56が凹部24に形状変形される。その後、ウェーハの表面をCVD法によりポリシリコン膜で被覆し、この上からホウ素イオンまたは弗化ホウ素イオンを例えば、 $4 \cdot 0 \times 10^{14} \text{ cm}^{-2}$ 程度のドーズ量でイオン注入して表面にホウ素イオン注入層58を形成する。この後、フォトリソグラフィ法およびドライエッチ法により、ゲートパッド部BのLOCOS酸化膜57上にポリシリコン膜を残してポリシリコンブロック59を形成する。

【0012】次に、第3工程はこの工程の完了後を図3(c)に示すように、第2工程完了後、窒化膜54および酸化膜53をウェットエッチ法により全面除去し、熱酸化法によりイオン注入のためのシリコン酸化膜60を例えば、膜厚100オングストローム程度に形成した後、LOCOS酸化膜57をマスクにしてシリコン酸化膜60を介してセル部Aの表面層内に選択的にヒ素イオン又はリンイオンを例えば、 $3 \cdot 0 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量でイオン注入及び熱拡散してN型ベース領域29を形成する。このときの熱拡散によりホウ素イオン注入層58も熱拡散され、ポリシリコンブロック59全体がP型ポリシリコン層36となる。ヒ素イオン又はリンイオンのイオン注入のとき露出されたポリシリコンブロック59にもヒ素イオン又はリンイオンが同時に注入されるがホウ素イオン注入層58よりドーズ量が少ないためP型ポリシリコン層36への影響はない。

【0013】次に、第4工程はこの工程の完了後を図3(d)に示すように、第3工程完了後、フォトリソグラフィ法でのレジストパターン61をマスクにベース領域29表面層に選択的にヒ素イオン又はリンイオンを例えば、 $5 \cdot 0 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量でイオン注入しレジストパターン61を除去後に熱拡散してN+型コンタクトベース領域29aを形成する。このとき同時に、P型ポリシリコン層36の少なくとも最内周部および最外周部（本実施例では最内周部および最外周部と中央部）にも選択的にヒ素イオン又はリンイオンをイオン注入及び熱拡散してN+型ポリシリコン層35を形成し、N+型ポリシリコン層35-P型ポリシリコン層36-N+型ポリシリコン層35-P型ポリシリコン層36-N+型ポリシリコン層35のP-N接合からなる双方向性ダイオード34を構成する。

【0014】次に、第5工程はこの工程の完了後を図4(e)に示すように、第4工程完了後、LOCOS酸化膜57及びレジストパターン62をマスクにベース領域29およびベースコンタクト領域29aの表面層内に選択的にホウ素イオン又は弗化ホウ素イオンを例えば、 $5 \cdot 0 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量でイオン注入しレジストパターン62を除去してP+型ソース領域30を形成する。ベース領域29、コンタクトベース領域29a及びソース領域30が形成された後のエピタキシャル層25の元のままの領域はP-型ドレイン領域28となる。

【0015】次に、第6工程はこの工程の完了後を図4(f)に示すように、第5工程完了後、凹部24内のLOCOS酸化膜57および双方向性ダイオード34をフォトリソグラフィ法でのレジストパターン63でマスクしウェットエッチ法によりU字型溝23内のLOCOS酸化膜57とベース領域29、ベースコンタクト領域29aおよびソース領域30上の酸化膜60を除去することによりベース領域29、ソース領域30およびベースコンタクト領域29aの表面と溝23の内面を露出させ、凹部24に形成されたLOCOS酸化膜57をフィールド酸化膜33として残す。

【0016】次に、第7工程はこの工程の完了後を図4(g)に示すように、第6工程完了後、ベース領域29、ベースコンタクト領域29aおよびソース領域30の表面と溝23の内面に熱酸化法によりゲート酸化膜26を形成する。ゲート酸化膜26の膜厚は、例えば、溝23の内面のベース領域29上で500オングストローム程度に形成される。以上の工程を経たウェーハの表面をCVD法によりポリシリコン膜で被覆し、フォトリソグラフィ法およびドライエッチ法により、ソース領域30表面の一部および溝23のポリシリコン膜を残してゲート電極27を形成する。

【0017】次に、第8工程はこの工程の完了後を図4(h)に示すように、第7工程完了後、ウェーハの表面を層間絶縁膜31で被覆し、この層間絶縁膜31および

酸化膜 26 をレジストパターンをマスクにエッチングしソース領域 30 及びコンタクトベース領域 29a と双方向性ダイオード 34 の最内周部および最外周部の N+ 型ポリシリコン層 35 表面を露出させる。そして、このとき使用したレジストパターンを除去する。

【0018】次に、第 9 工程はこの工程の完了後を図 1 に示すように、第 8 工程完了後、ウェーハの表面をアルミニウムを主金属とする金属膜で被覆し、レジストパターンをマスクに不要部分をエッチングにより除去して、セル部 A 上からゲートパッド部 B 上に跨がって、表面が露出されたソース領域 30 及びコンタクトベース領域 29a と双方向性ダイオード 34 の最外周部（図 1 では右端側）の N+ 型ポリシリコン層 35 とに電氣的接続したソース電極 32 を形成し、ゲートパッド部 B において双方向性ダイオード 42 の内側のフィールド酸化膜 33 上に層間絶縁膜 31 を介して、双方向性ダイオード 42 の最内周部（図 1 では左端側）の表面が露出された N+ 型ポリシリコン層 35 に電氣的接続したゲートパッド 37 を形成する。ソース電極 32 はその一部を外部への電氣的接続のためのソースパッドとしている。ゲートパッド 47 は図示しないゲート配線を介してゲート電極 27 に電氣的に接続されている。

【0019】以上説明した方法によれば、ポリシリコンの双方向性ダイオード 34 を N+ / P / N+ / P / N+ と P 型ポリシリコン層 36 を N+ 型ポリシリコン層 35 で挟む導電型の P-N 接合構造として形成するとき、P 型ポリシリコン層 36 を形成するためのイオン注入をウェーハ表面をポリシリコン膜で被覆後ポリシリコンブロック 59 を形成する前に行い、かつ、P 型ポリシリコン層 36 を形成するためのイオン注入後の熱拡散をベース領域 29 を形成するためのイオン注入後の熱拡散と同時にを行うことにより、P 型ポリシリコン層 36 を形成するためのイオン注入以外に新たに工程を追加することなく、P 型ポリシリコン層 36 の不純物のドーザ量の制御をセル部 A とは独立に任意に行え、かつ、P 型ポリシリコン層 36 の拡散深さをセル部 A の不純物濃度や拡散深さに影響せずに十分深くでき、更に N+ 型ポリシリコン層 35 を形成するためのイオン注入及び熱拡散はコンタクトベース領域 29a を形成するためのイオン注入及び熱拡散と同時に行うことにより、新たに工程を追加することなく、N+ 型ポリシリコン層 35 は高不純物濃度に形成できる。したがって、降伏電圧波形のハードで降伏電圧値の製造バラツキ及び工程変動の小さい双方向性ダイオード 34 を有する P チャネル型パワー MOSFET を安定して製造することができる。また、P チャネル型ポリシリコン層 36 の不純物濃度を制御することにより双方向性ダイオードの降伏電圧値を任意に設定できる。

【0020】上記実施例において、双方向性ダイオードを N+ / P / N+ / P / N+ の導電型 P-N 接合構造で説明したが、要求される降伏電圧値により P-N 接合の

段数を増減してもよい。また、セル部 A のエピタキシャル層表面の平面的な構造を図 2 に示すソースが非環状パターンのもので説明したが、これに限定されることなく、他の非環状パターンやソース領域がベース領域を取り囲む環状パターンであってもよい。また、U 字型溝を格子状に形成されたもので説明したが、ストライプ状に形成されたものであってもよい。また、P チャネル型パワー MOS トランジスタをパワー MOSFET で説明したが、伝導度変調型 MOSFET であってもよい。この場合、半導体基板を高濃度 N 型とする。また、半導体本体を半導体基板上にエピタキシャル層を成長させたもので説明したが、半導体基板だけで構成してもよい。また P チャネル型パワー MOS トランジスタは半導体集積回路の中に含まれたものであってもよい。

【0021】

【発明の効果】本発明に係わる半導体装置によれば、ポリシリコンの双方向性ダイオードを P 型ポリシリコン層を高不純物濃度の N 型ポリシリコン層で挟む導電型の P-N 接合構造としているので、双方向性ダイオードの降伏電圧波形はハードとなり、動作抵抗が小さくなるため P チャネル型パワー MOS トランジスタの静電破壊耐量が向上する。また N 型ポリシリコン層の不純物濃度が高いため、層間絶縁膜の製造工程での汚染に対しても N 型ポリシリコン層の表面層は影響されることはなく、双方向性ダイオードの降伏電圧値の製造バラツキ及び製品変動は小さくなり、信頼性の高い半導体装置を提供でき、また製造歩留まりを向上させることができる。また本発明の方法によれば、ポリシリコンの双方向性ダイオードを P 型ポリシリコン層を高不純物濃度の N 型ポリシリコン層で挟む導電型構造として形成するとき、P 型ポリシリコン層を形成するためのイオン注入をウェーハ表面をポリシリコン膜で被覆後ポリシリコンブロックを形成する前に行い、かつ、P 型ポリシリコン層を形成するためのイオン注入後の熱拡散をベース領域を形成するためのイオン注入後の熱拡散と同時に行い、N 型ポリシリコン層を形成するためのイオン注入及び熱拡散はコンタクトベース領域を形成するためのイオン注入及び熱拡散と同時にを行うことにより、P 型ポリシリコン層を形成するためのイオン注入以外に新たに工程を追加することなく、P 型ポリシリコン層の不純物のドーザ量の制御をセル部とは独立に行え、かつ、セル部の不純物濃度や拡散深さに影響しないように行え、N 型ポリシリコン層はコンタクトベース領域と同時に高不純物濃度に形成でき、降伏電圧波形のハードで降伏電圧値の製造バラツキ及び工程変動の小さい双方向性ダイオードを有する半導体装置を安定して製造することができる。また、P 型ポリシリコン層の不純物濃度を制御することによりダイオードの段数を増減する以外に双方向性ダイオードの降伏電圧値を任意に設定できる

【図面の簡単な説明】

13

14

【図1】 本発明の1実施例であるPチャネル型パワーMOSFETの要部断面図。

【図2】 図1のPチャネル型パワーMOSFETのU字型溝で分離された半導体本体表面の1セル分の平面パターンを示す1実施例のパターン図。

【図3】 図1のPチャネル型パワーMOSFETの製造工程（第1～第4工程）を示す要部断面図

【図4】 図1のPチャネル型パワーMOSFETの製造工程（第5～第8工程）を示す要部断面図

【図5】 従来のPチャネル型パワーMOSFETの要部断面図。

【符号の説明】

- 21 半導体本体
- 22 半導体基板
- 23 U字型溝
- 24 凹部
- 25 エピタキシャル層
- 26 ゲート酸化膜
- 27 ゲート電極
- 28 ドレイン領域

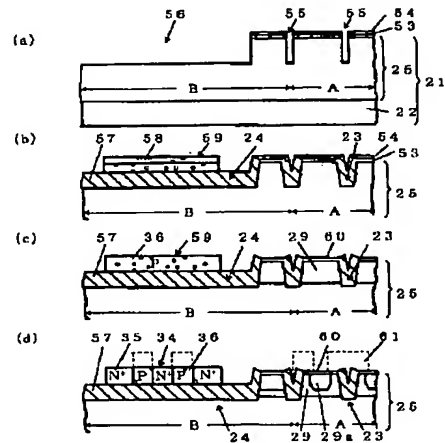
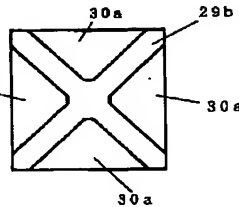
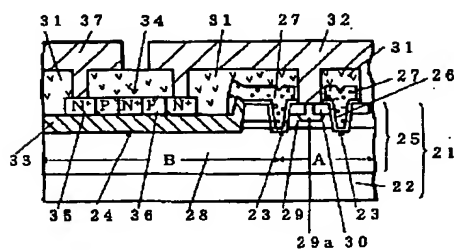
- *29 ベース領域
- 29a コンタクトベース領域
- 30 ソース領域
- 31 層間絶縁膜
- 32 ソース電極
- 33 フィールド酸化膜
- 34 双方向性ダイオード
- 35 N+型ポリシリコン層
- 36 P型ポリシリコン層
- 37 ゲートパッド
- 53 シリコン酸化膜
- 54 窒化膜
- 55 初期溝
- 56 初期凹部
- 57 LOCOS酸化膜
- 58 ホウ素イオン注入層
- 59 ポリシリコンブロック
- 60 シリコン酸化膜
- 61, 62, 63 レジストパターン

*20

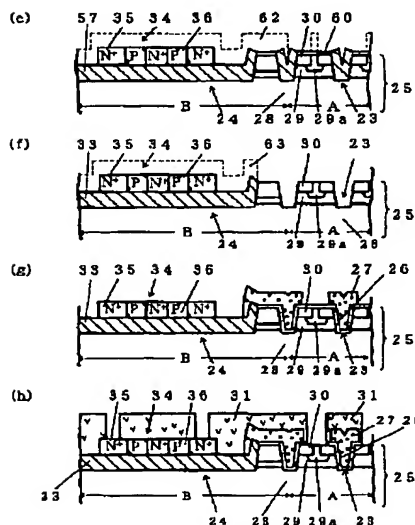
【図1】

【図2】

【図3】



【図4】



【図5】

